

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申請日：西元 2002 年 06 月 28 日
Application Date

申請案號：091114392
Application No.

申請人：威騰光電股份有限公司
Applicant(s)

局長
Director General

陳明邦

發文日期：西元 2002 年 7 月 16 日
Issue Date

發文字號：09111013418
Serial No.

申請日期：	案號：
類別：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中 文	信號跳動防止裝置
	英 文	
二、 發明人	姓 名 (中文)	1. 莊英朗
	姓 名 (英文)	1. Ying-Lang Chuang
	國 籍	1. 中華民國
	住、居所	1. 台北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. (Taipei)
三、 申請人	姓 名 (名稱) (中文)	1. 威騰光電股份有限公司(VOS)
	姓 名 (名稱) (英文)	1. VIA OPTICAL SOLUTION, INC.
	國 籍	1. 中華民國
	住、居所 (事務所)	1. 台北縣新店市中正路533號8樓 8Fl., No. 533, Jungjeng Rd., Shindian City, Taipei, Taiwan 231, R.O.C. (Taipei)
	代表人 姓 名 (中文)	1. 王雪紅
	代表人 姓 名 (英文)	1. Cher Wang



四、中文發明摘要 (發明之名稱：信號跳動防止裝置)

本案係關於一種信號跳動防止裝置，係可包括：一電準位轉態電路，係可因應一轉態控制信號，以決定是否使一第一晶片之一內部信號進行電準位轉態，並輸出一轉態輸出信號；以及一電準位還原電路，電連接於該電準位轉態電路，該電準位還原電路係用以輸入該轉態輸出信號且可因應一還原控制信號，以決定是否使該轉態輸出信號還原為該內部信號，並提供給一第二晶片使用；藉由該信號跳動防止裝置，係可以低成本且具彈性之方式，達成防止該第一晶片產生電源跳動(power bounce)或接地跳動(ground bounce)之問題。

英文發明摘要 (發明之名稱：)

Signal Bounce Inhibiting Device

A signal bounce inhibiting device is disclosed. The device includes an electric level tugging circuit determining whether to perform electric level tugging of an internal signal of a first chip and output a tugging output signal according to a tugging control signal; and a electric level recovering circuit electrically connected to the electric level tugging circuit



四、中文發明摘要 (發明之名稱：信號跳動防止裝置)

英文發明摘要 (發明之名稱：)

for outputting the tugging output signal, and determining whether to recover the tugging output signal to the internal signal to be provided for a second chip according to a recovering control signal. The signal bounce inhibiting device exempts from the power bounce or ground bounce of the first chip in a cost-effective and flexible way.



本案已向

國(地區)申請專利

申請日期

案號

主張優先權

無

有關微生物已寄存於

寄存日期

寄存號碼

無

五、發明說明 (1)

發明領域：

本案係關於一種信號跳動(bounce)防止裝置，尤指一種可防止晶片(chip)產生電源跳動(power bounce)或接地跳動(ground bounce)現象之信號跳動防止裝置。

發明背景：

就目前的晶片(chip)設計而言，雖然整合進入晶片的功能愈來愈多，但為了縮小晶片尺寸的緣故，接腳的數量有朝向愈來愈精簡的趨勢發展，是以，提供給晶片使用的電源(power)接腳以及接地(ground)接腳往往成為精簡的對象之一，舉凡減少電源接腳以及接地接腳數目或線寬，皆是可能的做法。另外，減少晶片接腳間的距離亦是縮小晶片尺寸的常用方法之一。

惟如此一來，晶片便極易發生電源跳動(power bounce)或接地跳動(ground bounce)現象；亦即，由於電源接腳數目或線寬不足，因此，當晶片的複數個輸出元件中有過多輸出信號的電準位係同時為高電準位驅動(active high)時，便易發生電源供應量不足(或稱之為驅動能力不足)的問題；甚且，因電源供應量不足而使電源信號產生上下跳動的不穩定現象(稱之為電源跳動(power bounce))，將會連帶使輸出元件所產生的輸出信號電準位形成連續轉態(tuggle)而讓電連接於該晶片輸出端處之另



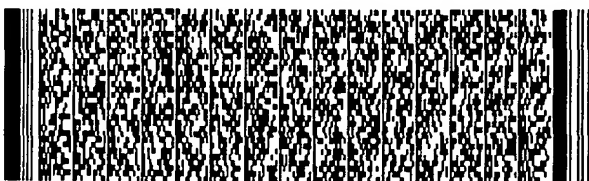
五、發明說明 (2)

一 晶片發生誤動作。

同理，當接地接腳數目或線寬不足，抑或晶片接腳間的距離過小時，晶片中任一輸出元件的輸出信號發生轉態動作，便會透過接地接腳而影響到相鄰輸出元件的輸出信號電準位，進而使其產生連續轉態現象，尤其相鄰的輸出元件皆欲同時轉為接地(ground)狀態時，此一現象更為明顯；當然，接地接腳本身亦會發生信號上下跳動的不穩定現象(稱之為接地跳動(ground bounce))，如此結果，顯將嚴重影響到晶片輸出的穩定性。

為進一步說明本案的發明背景，現茲請參閱第一圖，其係為一晶片中輸出元件的輸出信號以及接地信號產生信號跳動(bounce)現象之結構與相關波形說明示意圖。於第一圖中，一晶片C所包括的輸出元件CQ1、CQ2係為一互補式的MOS結構(包括有標示為Q11、Q12、Q21、Q22等電晶體)，且其輸出端分別電連接於一輸出接腳墊(PAD)pad1、pad2；另外，有一接地線VSS0係作為該輸出元件CQ1、CQ2的接地端使用。

設若，於該輸出元件CQ2的輸入端CI2處輸入一高電準位信號，則此時該輸出元件CQ2之輸出接腳墊pad2處所產生的輸出信號應係為一穩定的低電準位信號(使其處於接地狀態)；又，一旦於與該輸出元件CQ2相鄰的該輸出元件CQ1的輸入端CI1處亦輸入一高電準位信號時，如果該晶片C有前述接地接腳數目或線寬不足，抑或該輸出元件CQ1、CQ2之間距過小的問題存在時，則於該輸出接腳墊pad1處



五、發明說明 (3)

達到一穩定的低電準位信號(使其處於接地狀態)之前，往往會有一段信號跳動的不穩定現象發生，且信號跳動的現象會透過該接地線VSS0的耦合作用而影響到該輸出接腳墊pad2處的輸出信號之電準位，使其由原本穩定的低電準位信號產生出信號上下跳動；當然，該接地線VSS0本身的接地信號電準位亦會一併受到影響。

為解決上述電源跳動(power bounce)或接地跳動(ground bounce)現象，早期習知做法採用許多方式來加以因應，其中包括有：增加電源接腳數目或線寬來提高晶片的驅動能力、加入延遲閘(delay gate)以形成可避免同時處於高電準位驅動(active high)或低電準位驅動(active low)之交錯(interleave)驅動、抑或增加電準位轉態之變化時間(slew rate)、抑或使輸出元件間的相隔距離加大等等方式，然而，不論採用何者做法，顯皆會面臨必須增加晶片尺寸之缺失，抑或因晶片之運算頻率太高而無法據以實施等設計上的難題；職是之故，即有另一種習知做法提出，以祈能解決上述問題。

請參閱第二圖，其係為習知防止信號跳動之裝置實施示例圖；於第二圖中，設若該晶片C包括有複數個輸出接腳P1~Pn，以輸出複數個輸出信號S1~Sn，且倘若原本該晶片C之輸出接腳P1~Pn中有過多的接腳同時屬於高電準位驅動，抑或同時屬於低電準位驅動時，習知做法即自其中挑選出若干接腳(例如，選定第二圖中所示之該輸出接腳P1、P5、Pn等)分別接上電阻R1、R5、Rn、二極體D1、

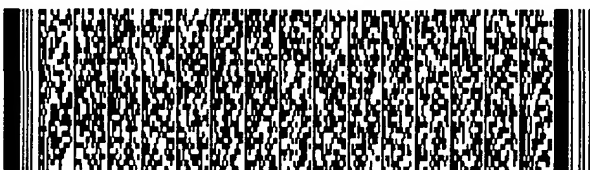
五、發明說明 (4)

D5、Dn 與電源+Vcc，如此，該些輸出接腳P1、P5、Pn即可進行電準位轉態(包括使該輸出信號S1轉態為輸出信號S1'、該輸出信號S5轉態為輸出信號S5'、該輸出信號Sn轉態為輸出信號Sn')，俾與其他輸出接腳之電準位完全相反，此一做法顯可徹底解決因該輸出接腳P1~Pn中有過多的輸出接腳同時屬於高電準位驅動，抑或同時屬於低電準位驅動所帶來的信號跳動的問題；當然，作為該晶片C驅動對象之另一晶片(圖未示出)，即需配合該些被挑選出來進行轉態之輸出接腳的電準位狀態而有相對應的設計，以避免產生誤動作。

從上述對第二圖所為的描述應可得知，以加入電阻以及二極體來減少同時屬於高電準位驅動，抑或同時屬於低電準位驅動接腳數目的做法，雖然可行但實為缺乏設計上的彈性，且，一旦上述電源跳動或接地跳動現象是發生在該晶片C的電路欲進行測試或已完成設計時，為了要臨時加入該些電阻以及二極體，顯必須重新規劃(layout)整體晶片的電路，此等習知做法將顯得十分不具成本效益與便利性。

本案之主要目的，即係提供一種可彈性規劃晶片接腳信號之驅動輸出電準位，俾避免使晶片本身的電源信號或接地信號發生信號跳動(bounce)現象之信號跳動防止裝置。

本案之另一目的，即係提供一種可彈性規劃晶片接腳信號之驅動輸出電準位，俾避免使晶片本身的電源信號或



五、發明說明 (5)

接地信號發生信號跳動(bounce)現象之防止信號跳動之晶片架構。

發明概述：

本案係關於一種信號跳動防止裝置，係可以包括：一電準位轉態電路，係可因應一轉態控制信號，以決定是否使一第一晶片之一內部信號進行電準位轉態，並輸出一轉態輸出信號；以及一電準位還原電路，電連接於該電準位轉態電路，該電準位還原電路係用以輸入該轉態輸出信號且可因應一還原控制信號，以決定是否使該轉態輸出信號還原為該內部信號，並提供給一第二晶片使用；藉由該信號跳動防止裝置，係可防止該第一晶片產生電源跳動(power bounce)或接地跳動(ground bounce)現象。

依據本案上述之構想，其中該電準位轉態電路係可設於該第一晶片內部之輸出級中，且該電準位還原電路係可設於該第二晶片內部之輸入級中。

依據本案上述之構想，其中該內部信號係可為具有第一數量之複數個內部信號，且該轉態控制信號係可為具有第二數量之複數個轉態控制信號、該轉態輸出信號係可為具有第二數量之複數個轉態輸出信號，以及該還原控制信號係可為具有第二數量之複數個還原控制信號。

依據本案上述之構想，其中該第二數量係少於或等於該第一數量。

五、發明說明 (6)

依據本案上述之構想，其中該電準位轉態電路係可包括具有該第二數量之複數個電準位轉態元件，以分別輸入具有該第二數量之複數個轉態控制信號，以及分別輸入具有該第一數量之複數個內部信號中之具有該第二數量之複數個內部信號。

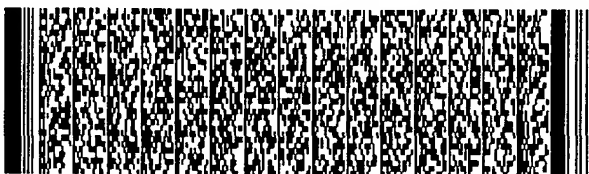
依據本案上述之構想，其中該任一電準位轉態元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該轉態控制信號。

依據本案上述之構想，其中該任一電準位轉態元件皆可更包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該轉態控制信號，另一輸入端則輸入該內部信號，且將該轉態控制信號與該內部信號進行一互斥或運算，俾可得致該轉態輸出信號。

依據本案上述之構想，其中該電準位還原電路係可包括具有該第二數量之複數個電準位還原元件，以分別輸入具有該第二數量之複數個還原控制信號，以及輸入具有該第二數量之複數個轉態輸出信號。

依據本案上述之構想，其中該任一電準位還原元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該還原控制信號。

依據本案上述之構想，其中該任一電準位還原元件皆可更包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該還原控制信



五、發明說明 (7)

號，另一輸入端則輸入該轉態輸出信號，且將該還原控制信號與該轉態輸出信號進行一互斥或運算，俾可決定是否還原得致內部信號。

以另一觀點而言，本案亦係關於一種具有防止信號跳動之晶片架構，係可包括：一第一位轉態電路，該電路係可包動設有一電準位轉態信號進行電準位轉態，並輸出一轉態輸出信號；以及一第二晶片，電連接於該第一位還原電路，該電路係可包級中設有一電準位還原信號還原為該內部信號；藉由該具有源輸入並使該轉態輸出信號還原為該內部信號；藉由該具有源防止信號跳動之晶片架構，係可防止該第一晶片產生電源跳動(power bounce)或接地跳動(ground bounce)現象。

依據本案上述之構想，其中該電準位轉態電路係可因位應一轉態控制信號，而決定是否使該內部信號進行電準位轉態，且該電準位還原電路係可因該內部信號還原控制信號，以決定是否使該轉態輸出信號還原為該內部信號。

依據本案上述之構想，其中該內部信號係可為具有第一數量之複數個內部信號，且該轉態控制信號、該轉態輸出信號，以及該還原控制信號，係可為具有第二數量之複數個轉態輸出信號，以及該還原控制信號，係可為具有第二數量之複數個轉態輸出信號。

依據本案上述之構想，其中該第二數量係小於或等於該第一數量。

依據本案上述之構想，其中該電準位轉態電路係可包

五、發明說明 (8)

括具有該第二數量之複數個電準位轉態元件，以分別輸入具有該第二數量之複數個轉態控制信號，以及分別輸入具有該第一數量之複數個內部信號中之具有該第二數量之複數個內部信號。

依據本案上述之構想，其中該任一電準位轉態元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該轉態控制信號。

依據本案上述之構想，其中該任一電準位轉態元件皆可更包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該轉態控制信號，另一輸入端則輸入該內部信號，且將該轉態控制信號與該內部信號進行一互斥或運算，俾可得致該轉態輸出信號。

依據本案上述之構想，其中該電準位還原電路係可包括具有該第二數量之複數個電準位還原元件，以分別輸入具有該第二數量之複數個還原控制信號，以及輸入具有該第二數量之複數個轉態輸出信號。

依據本案上述之構想，其中該任一電準位還原元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該還原控制信號。

依據本案上述之構想，其中該任一電準位還原元件皆可更包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該還原控制信號，另一輸入端則輸入該轉態輸出信號，且將該還原控制



五、發明說明 (9)

信號與該轉態輸出信號進行一互斥或運算，俾可決定是否還原得致內部信號。

本案得藉由下列圖式及詳細說明，俾得一更深入之了解：

簡單圖式說明：

第一圖：其係為一晶片中輸出元件的輸出信號以及接地信號產生信號跳動現象之結構與相關波形說明示意圖。

第二圖：其係為習知防止信號跳動之裝置實施示例圖。

第三圖(a)：其係為本案之一較佳實施裝置示例圖。

第三圖(b)：其係為本案較佳實施裝置中該第一晶片C1具有複數個內部信號S1~Sn時之實施示例圖。

圖式中所包含之各元件列示如下：

第一圖～第二圖：

晶片	C	晶片的輸出元件	CQ1、CQ2
互補式的MOS結構	Q11、Q12、Q21、Q22		
輸出元件CQ1的輸入端	CI1		
輸出元件CQ2的輸入端	CI2		
輸出接腳墊	pad1、pad2	接地線	VSS0

五、發明說明 (10)

電阻	$R1$ 、 $R5$ 、 Rn	二極體	$D1$ 、 $D5$ 、 Dn
電源	$+Vcc$	輸出信號	$S1$ 、 $S5$ 、 Sn
複數個輸出接腳	$P1 \sim Pn$		
複數個輸出信號	$S1 \sim Sn$		
轉態後之輸出信號	$S1'$ 、 $S5'$ 、 Sn'		

第三圖(a)、(b)：

第一晶片	$C1$	第二晶片	$C2$
信號跳動防止裝置	30		
電準位轉態電路	31	電準位還原電路	32
內部信號	S	轉態控制信號	T
轉態輸出信號	St	還原控制信號	R
複數個內部信號	$S1 \sim Sn$		
複數個轉態控制信號	$T1 \sim Tn$		
複數個轉態輸出信號	$St1 \sim Stn$		
複數個還原控制信號	$R1 \sim Rn$		
複數個電準位轉態元件	$311 \sim 31n$		
複數個電準位還原元件	$321 \sim 32n$		
複數個暫存器	$TC1 \sim TCn$ 、 $RC1 \sim RCn$		
複數個互斥或閘	$TX1 \sim TXn$ 、 $RX1 \sim RXn$		

較佳實施例說明：

請參閱第三圖(a)，其係為本案之一較佳實施裝置示



五、發明說明 (11)

例圖，於第三圖(a)中，一信號跳動防止裝置30係包括有：一電準位轉態電路31以及一電準位還原電路32；其中，該電準位轉態電路31係可設於一第一晶片C1之輸出級中；該電準位轉態電路31係可因應一轉態控制信號T，而決定是否使該第一晶片C1之一內部信號S進行電準位轉態，並輸出一轉態輸出信號St至一第二晶片C2處。另外，該電準位還原電路32則電連接於該第一晶片C1且可設於該第二晶片C2之輸入級中；該電準位還原電路32係可因應一還原控制信號R，以決定是否使所輸入之該轉態輸出信號St還原為該內部信號S。

當然，本案如改以晶片架構的觀點視之，則圖三(a)所示者即為一種具有防止信號跳動之晶片架構，其包括有：該第一晶片C1以及電連接於該第一晶片C1之該第二晶片C2；其中，於該第一晶片C1之輸出級處設有該電準位轉態電路31，而於該第二晶片C2之輸入級處則設有該電準位還原電路32。藉由該電準位轉態電路31、該電準位還原電路32以及該轉態控制信號T與還原控制信號R間之運作架構（其詳細運作情形，請參前所述），係可防止該第一晶片C1產生電源跳動(power bounce)或接地跳動(ground bounce)現象。

再請參閱第三圖(b)，其係為本案較佳實施裝置中該第一晶片C1具有複數個內部信號S1~Sn時之實施示例圖。當圖三(a)中該第一晶片C1之內部信號S係指如圖三(b)中所示包括有複數個內部信號S1~Sn時，為達可彈性規劃該

五、發明說明 (12)

複數個內部信號 $S1 \sim Sn$ 之輸出驅動或控制電準位之目的，該電準位轉態電路31係可包括複數個電準位轉態元件 $311 \sim 31n$ ，以分別輸入複數個轉態控制信號 $T1 \sim Tn$ ，以及分別輸入該複數個內部信號 $S1 \sim Sn$ 。

進一步而論，其中該複數個電準位轉態元件 $311 \sim 31n$ 皆分別包括有用以輸入並儲存該複數個轉態控制信號 $T1 \sim Tn$ 之複數個暫存器 $TC1 \sim TCn$ ，以及提供互斥或(XOR)邏輯運算之複數個互斥或閘(XOR gate) $TX1 \sim TXn$ ；亦即，只要發現該複數個內部信號 $S1 \sim Sn$ 中有過多的信號可能會同時處於高電準位狀態，抑或同時處於低電準位狀態，此時即可於該複數個轉態控制信號 $T1 \sim Tn$ 中選定部分轉態控制信號並使其處於高電準位狀態，而其餘的轉態控制信號則使其處於低電準位狀態，如此一來，該複數個內部信號 $S1 \sim Sn$ 與該複數個轉態控制信號 $T1 \sim Tn$ 分別經過該複數個互斥或閘 $TX1 \sim TXn$ 的邏輯運算後，顯然輸入處於高電準位狀態之轉態控制信號之任一電準位轉態元件，會將另外輸入其中的內部信號進行電準位轉態，以避免發生前述內部信號的電準位有過多相同的情形。相反地，輸入處於低電準位狀態之轉態控制信號之任一電準位轉態元件，則不會改變另外輸入其中的內部信號之電準位。最後，該複數個電準位轉態元件 $311 \sim 31n$ 將會分別產生複數個轉態輸出信號 $St1 \sim Stn$ (包括有已被改變電準位狀態之該若干個內部信號)，並予以輸出至該第二晶片C2中。藉由設定該複數個轉態控制信號 $T1 \sim Tn$ 之電準位模式，顯可以非常彈性之方

五、發明說明 (13)

式控制該複數個內部信號 $S1 \sim Sn$ 是否進行電準位轉態，以減少過多的內部信號同時處於高電準位驅動，抑或同時處於低電準位驅動的問題，並進而防止該第一晶片C1發生電源跳動(power bounce)或接地跳動(ground bounce)此等不穩定的現象。

再則，為使原先該複數個內部信號 $S1 \sim Sn$ 中已進行電準位轉態之內部信號能予以還原，該信號跳動防止裝置30所包括之該電準位還原電路32顯可達成此一目的；亦即，電連接於該電準位轉態電路31之該電準位還原電路32包括有複數個電準位還原元件 $321 \sim 32n$ ，其係用以分別因應還原控制信號 $R1 \sim Rn$ 而自該複數個轉態輸出信號 $St1 \sim Stn$ （包括有已被改變電準位狀態之該若干個內部信號）中還原出經電準位轉態之內部信號。

申言之，如第三圖(b)中所示之較佳做法般，其中該複數個電準位還原元件 $321 \sim 32n$ 亦皆分別包括有用以輸入並儲存該複數個還原控制信號 $R21 \sim R2n$ 之複數個暫存器 $RC1 \sim RCn$ ，以及提供互斥或(XOR)邏輯運算之複數個互斥或閘(XOR gate) $RX1 \sim RXn$ ；如果，輸入至任一電準位還原元件中的轉態輸出信號，係為經過該電準位轉態電路31遂行過電準位轉態之內部信號時，則此刻該任一電準位還原元件再行輸入設定為處於高電準位狀態之還原控制信號並經過其所包括之互斥或閘的邏輯運算後，顯將可還原出輸入其中之轉態輸出信號的原始電準位；當然，如果輸入至該任一電準位還原元件中的轉態輸出信號，事實上係為未

五、發明說明 (14)

被該電準位轉態電路31遂行過電準位轉態之內部信號時，則此刻該任一電準位還原元件再行輸入設定為處於低電準位狀態之還原控制信號並經過其所包括之互斥或閘的邏輯運算後，顯仍不會改變輸入其中的轉態輸出信號之電準位。

當然，如果圖三(b)中該複數個內部信號 $S_1 \sim S_n$ 中不會有過多的信號同時處於相同的電準位狀態，抑或發生此等情形的頻率不高時，本案之另一做法係可減少該電準位轉態電路31中所包括之該複數個電準位轉態元件 $31_1 \sim 31_n$ 之使用數量，以及該電準位還原電路32所包括之該複數個電準位還原元件 $32_1 \sim 32_n$ 之使用數量。如此一來，圖三(b)中所示之該複數個轉態控制信號 $T_1 \sim T_n$ 、該複數個轉態輸出信號 $St_1 \sim St_n$ 以及該複數個還原控制信號 $R_1 \sim R_n$ 等之數量當亦可一併地減少，俾能降低晶片之整體製造成本與體積。

藉由本案之做法，顯可提供一種以兼具彈性與低成本之方式來控制晶片輸出驅動信號電準位狀態之信號跳動防止裝置或晶片架構，俾避免因晶片發生電源跳動或接地跳動現象，進而造成相電連接之其他晶片產生誤動作之情況；基此，本案應係為一極具產業價值之作。

本案得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

圖式簡單說明

第一圖：其係為一晶片中輸出元件的輸出信號以及接地信號產生信號跳動現象之結構與相關波形說明示意圖。

第二圖：其係為習知防止信號跳動之裝置實施示例圖。

第三圖(a)：其係為本案之一較佳實施裝置示例圖。

第三圖(b)：其係為本案較佳實施裝置中該第一晶片C1具有複數個內部信號S1~Sn時之實施示例圖。



六、申請專利範圍

1、一種信號跳動防止裝置，係可包括：

一電準位轉態電路，係可因應一轉態控制信號，以決定是否使一第一晶片之一內部信號進行電準位轉態，並輸出一轉態輸出信號；以及

一電準位還原電路，電連接於該電準位轉態電路，該電準位還原電路係用以輸入該轉態輸出信號且可因應一還原控制信號，以決定是否使該轉態輸出信號還原為該內部信號，並提供給一第二晶片使用；

藉由該信號跳動防止裝置，係可防止該第一晶片產生電源跳動(power bounce)或接地跳動(ground bounce)現象。

2、如申請專利範圍第1項所述之信號跳動防止裝置，其中該電準位轉態電路係可設於該第一晶片內部之輸出級中，且該電準位還原電路係可設於該第二晶片內部之輸入級中。

3、如申請專利範圍第1項所述之信號跳動防止裝置，其中該內部信號係可為具有第一數量之複數個內部信號，且該轉態控制信號係可為具有第二數量之複數個轉態控制信號、該轉態輸出信號係可為具有第二數量之複數個轉態輸出信號，以及該還原控制信號係可為具有第二數量之複數個還原控制信號。

4、如申請專利範圍第3項所述之信號跳動防止裝置，其中該第二數量係少於或等於該第一數量。

5、如申請專利範圍第3項所述之信號跳動防止裝置，其中



六、申請專利範圍

該電準位轉態電路係可包括具有該第二數量之複數個電準位轉態元件，以分別輸入具有該第二數量之複數個轉態控制信號，以及分別輸入具有該第一數量之複數個內部信號中之具有該第二數量之複數個內部信號。

6、如申請專利範圍第5項所述之信號跳動防止裝置，其中該任一電準位轉態元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該轉態控制信號。

7、如申請專利範圍第6項所述之信號跳動防止裝置，其中該任一電準位轉態元件皆更可包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該轉態控制信號，另一輸入端則輸入該內部信號，且將該轉態控制信號與該內部信號進行一互斥或運算，俾可得致該轉態輸出信號。

8、如申請專利範圍第3項所述之信號跳動防止裝置，其中該電準位還原電路係可包括具有該第二數量之複數個電準位還原元件，以分別輸入具有該第二數量之複數個還原控制信號，以及輸入具有該第二數量之複數個轉態輸出信號。

9、如申請專利範圍第8項所述之信號跳動防止裝置，其中該任一電準位還原元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該還原控制信號。

10、如申請專利範圍第9項所述之信號跳動防止裝置，其中該任一電準位還原元件皆更可包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接



六、申請專利範圍

於該暫存器以輸入該還原控制信號，另一輸入端則輸入該轉態輸出信號，且將該還原控制信號與該轉態輸出信號進行一互斥或運算，俾可決定是否還原得致內部信號。

11、一種具有防止信號跳動之晶片架構，係可包括：

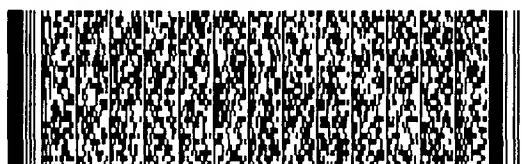
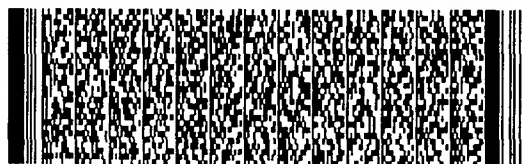
一第一晶片，且於其輸出級中設有一電準位轉態電路，該電準位轉態電路係可使該第一晶片之一內部信號進行電準位轉態，並輸出一轉態輸出信號；以及

一第二晶片，電連接於該第一晶片，且於其輸入級中設有一電準位還原電路，該電準位還原電路係可用以輸入並使該轉態輸出信號還原為該內部信號；

藉由該具有防止信號跳動之晶片架構，係可防止該第一晶片產生電源跳動(power bounce)或接地跳動(ground bounce)現象。

12、如申請專利範圍第11項所述之具有防止信號跳動之晶片架構，其中該電準位轉態電路係可因應一轉態控制信號，而決定是否使該內部信號進行電準位轉態，且該電準位還原電路係可因應一還原控制信號，以決定是否使該轉態輸出信號還原為該內部信號。

13、如申請專利範圍第12項所述之具有防止信號跳動之晶片架構，其中該內部信號係可為具有第一數量之複數個內部信號，且該轉態控制信號係可為具有第二數量之複數個轉態控制信號、該轉態輸出信號係可為具有第二數量之複數個轉態輸出信號，以及該還原控制信號係可為具有第二數量之複數個還原控制信號。



六、申請專利範圍

- 14、如申請專利範圍第13項所述之具有防止信號跳動之晶片架構，其中該第二數量係小於或等於該第一數量。
- 15、如申請專利範圍第13項所述之具有防止信號跳動之晶片架構，其中該電準位轉態元件，以分別輸入具有該第二數量之複數個轉態控制信號，以及分別輸入具有該第一數量之複數個內部信號中之具有該第二數量之複數個內部信號。
- 16、如申請專利範圍第15項所述之具有防止信號跳動之晶片架構，其中該任一電準位轉態元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該轉態控制信號。
- 17、如申請專利範圍第16項所述之具有防止信號跳動之晶片架構，其中該任一電準位轉態元件皆更可包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該轉態控制信號，另一輸入端則輸入該內部信號，且將該轉態控制信號與該內部信號進行一互斥或運算，俾可得致該轉態輸出信號。
- 18、如申請專利範圍第13項所述之具有防止信號跳動之晶片架構，其中該電準位還原元件，以分別輸入具有該第二數量之複數個還原控制信號，以及輸入具有該第二數量之複數個轉態輸出信號。
- 19、如申請專利範圍第18項所述之具有防止信號跳動之晶片架構，其中該任一電準位還原元件皆可包括一暫存器，且該暫存器係用以輸入並儲存該還原控制信號。



六、申請專利範圍

20、如申請專利範圍第19項所述之具有防止信號跳動之晶片架構，其中該任一電準位還原元件皆更可包括一互斥或閘(XOR gate)，該互斥或閘具有兩輸入端，其一輸入端係電連接於該暫存器以輸入該還原控制信號，另一輸入端則輸入該轉態輸出信號，且將該還原控制信號與該轉態輸出信號進行一互斥或運算，俾可決定是否還原得致內部信號。



第 1/24 頁



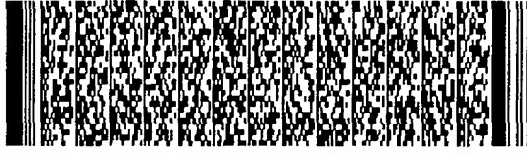
第 2/24 頁



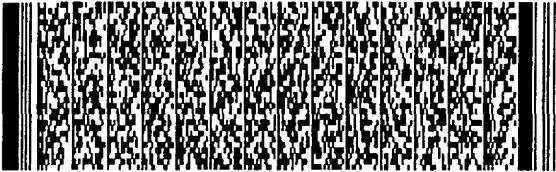
第 2/24 頁



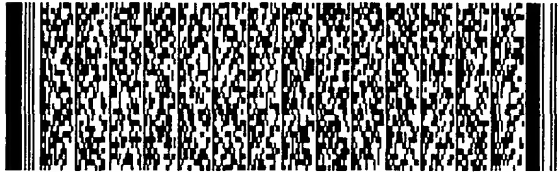
第 3/24 頁



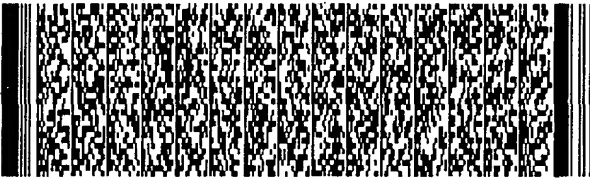
第 5/24 頁



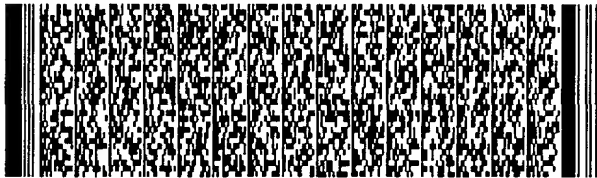
第 5/24 頁



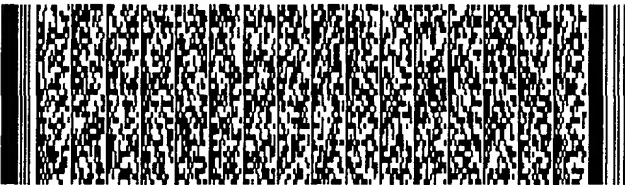
第 6/24 頁



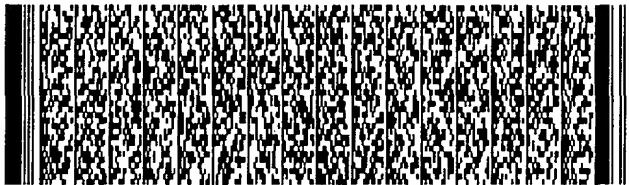
第 6/24 頁



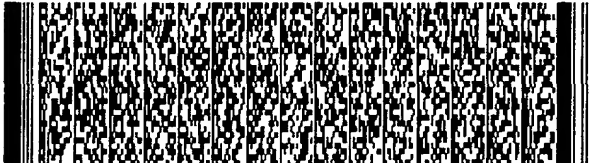
第 7/24 頁



第 7/24 頁



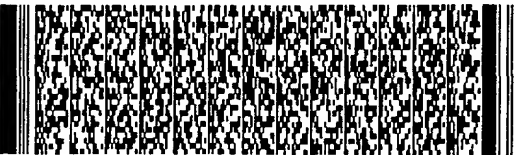
第 8/24 頁



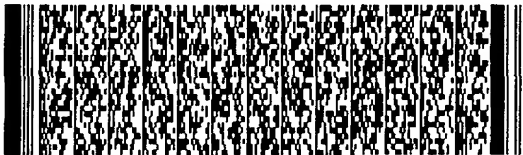
第 8/24 頁



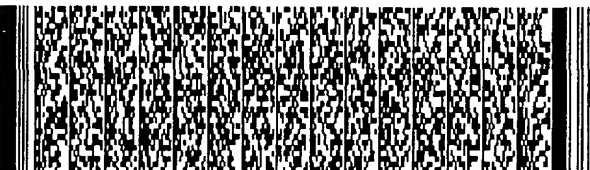
第 9/24 頁



第 9/24 頁



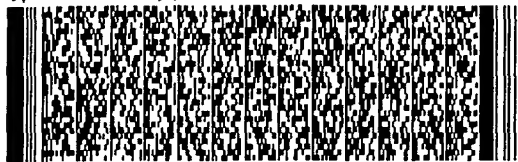
第 10/24 頁



第 11/24 頁



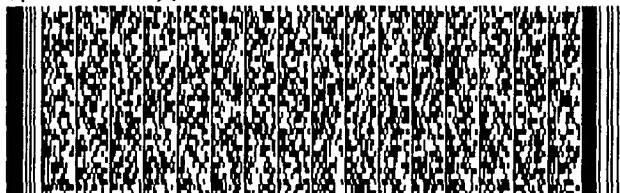
第 11/24 頁



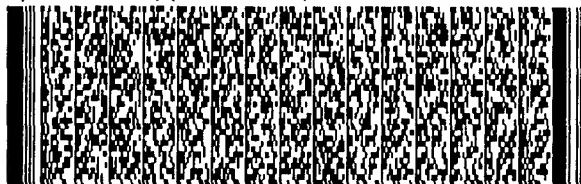
第 12/24 頁



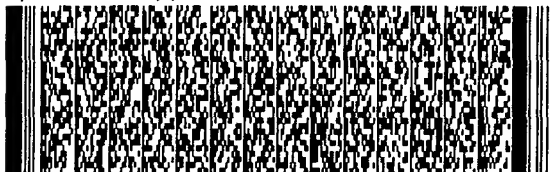
第 13/24 頁



第 14/24 頁



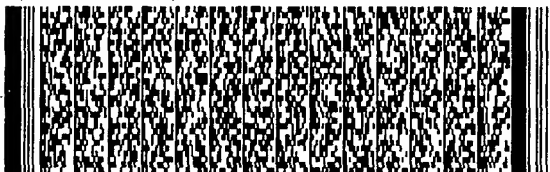
第 15/24 頁



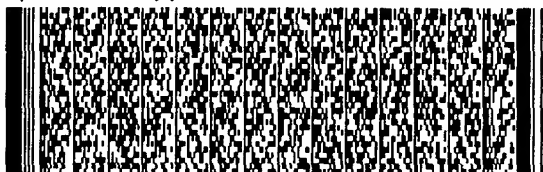
第 15/24 頁



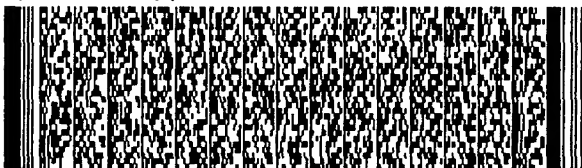
第 16/24 頁



第 16/24 頁



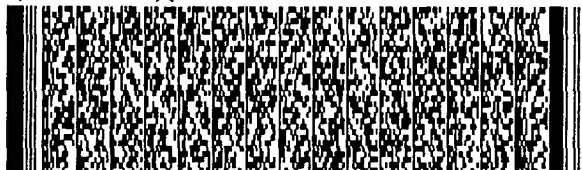
第 17/24 頁



第 17/24 頁



第 18/24 頁



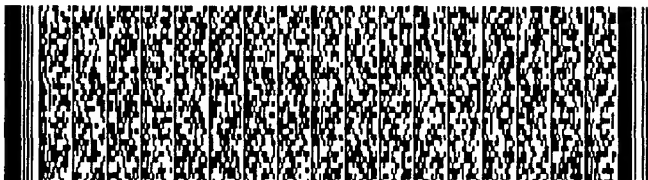
第 18/24 頁



第 19/24 頁



第 20/24 頁



第 21/24 頁



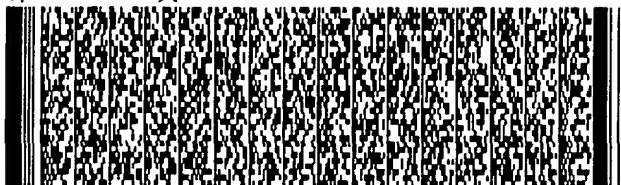
第 22/24 頁



第 22/24 頁

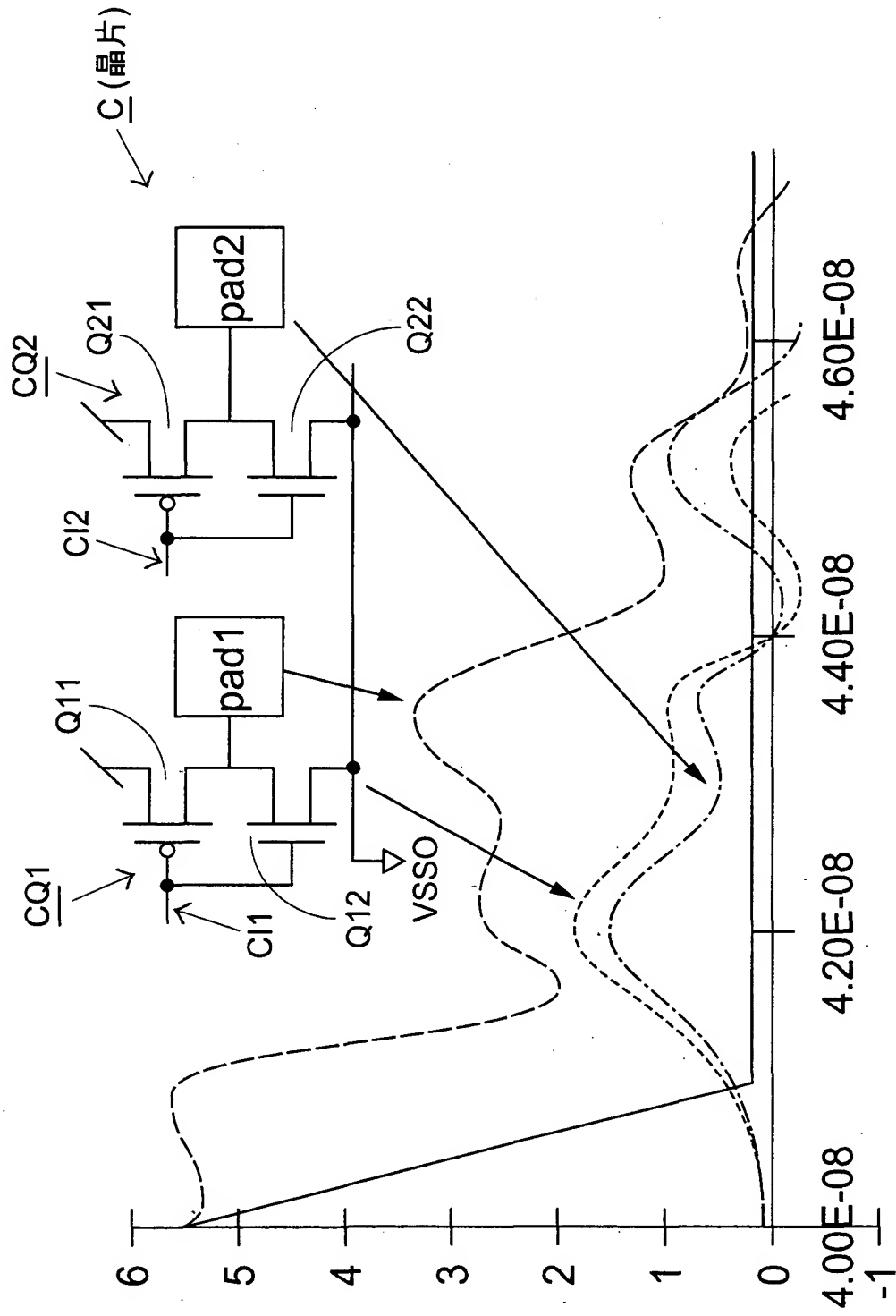


第 23/24 頁



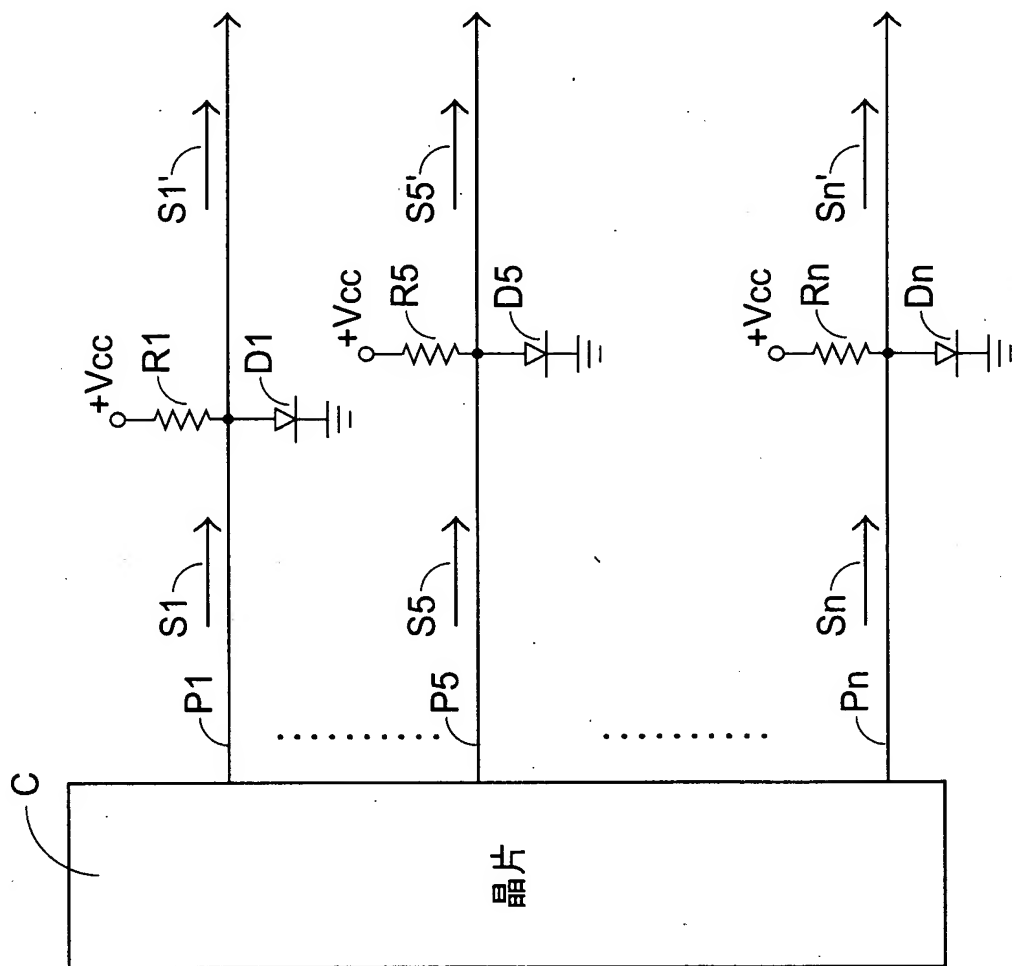
第 24/24 頁

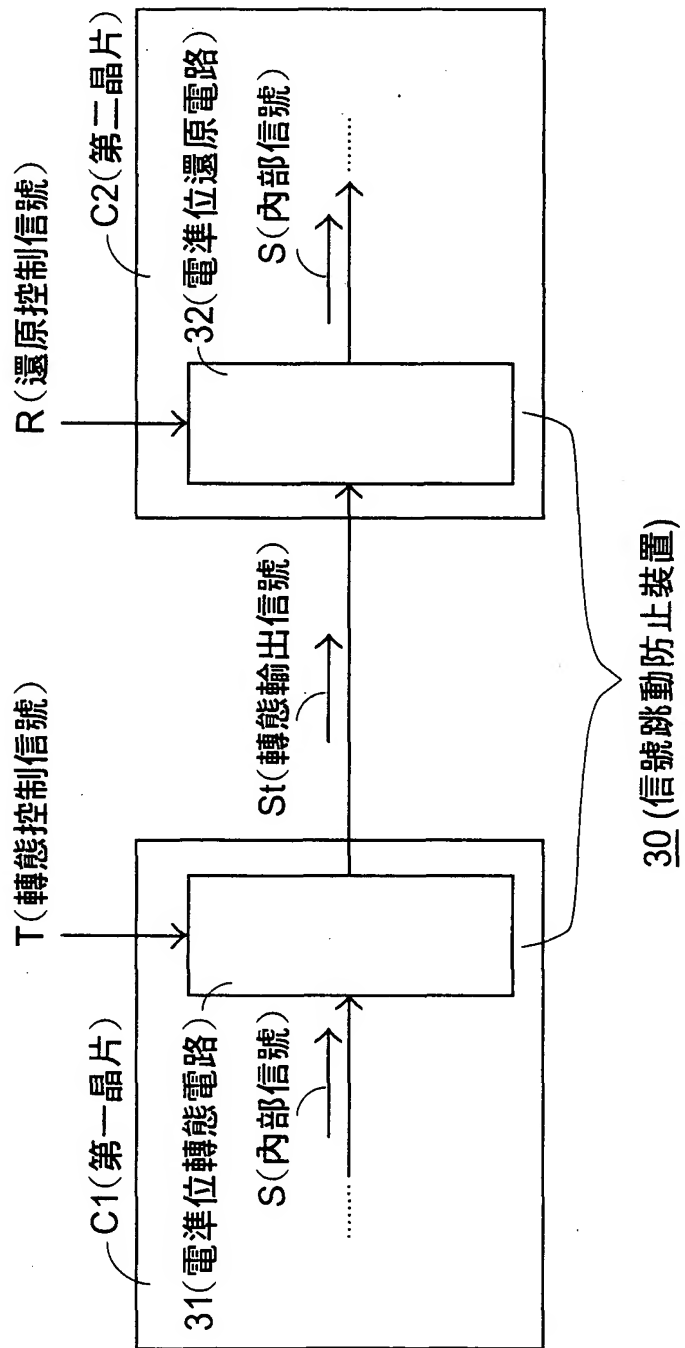




第一圖

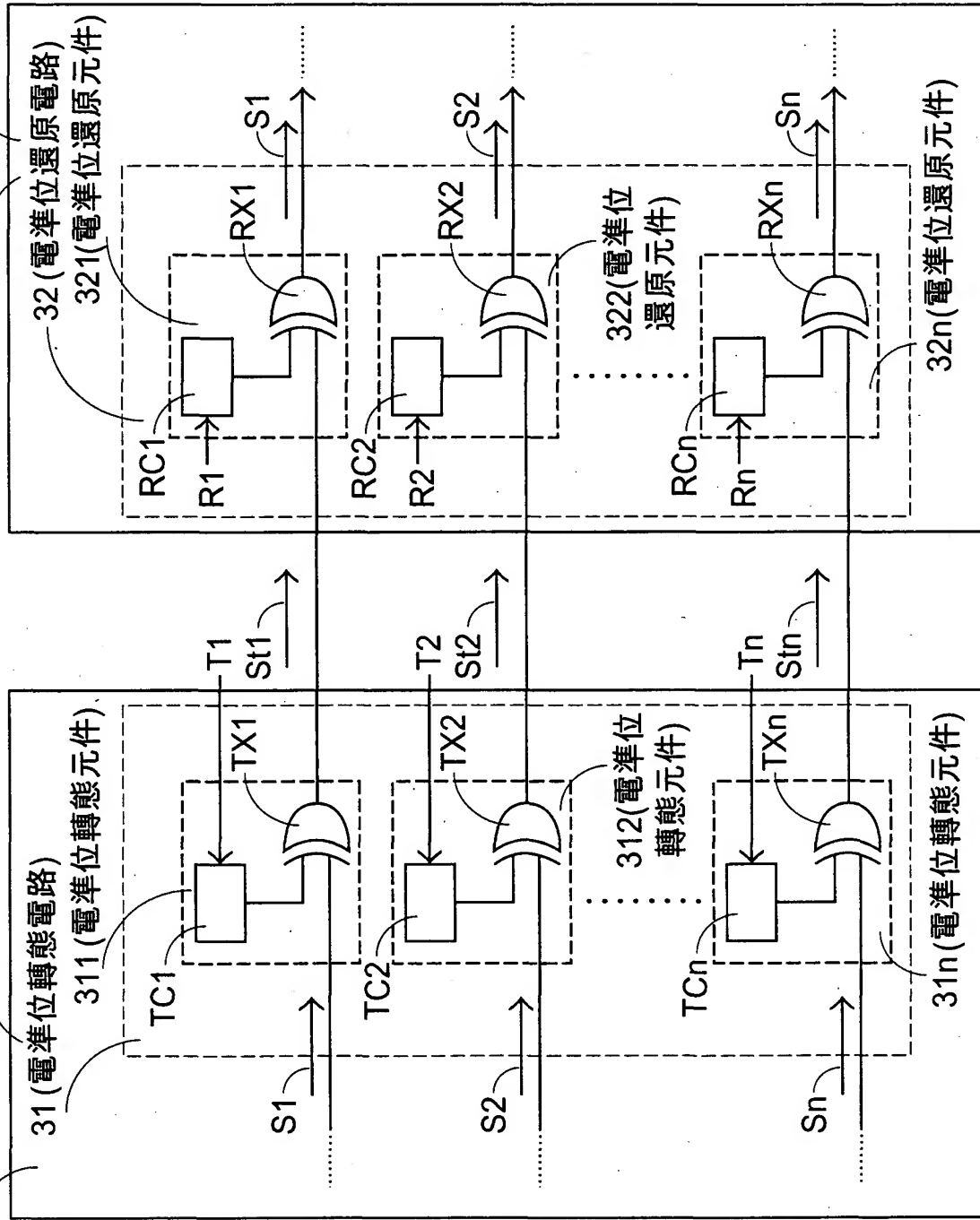
第二圖





第三圖(a)

C1(第一晶片) 30 (信號跳動防止裝置) C2(第二晶片)



第三圖(b)